

本願では、2000年05月31日に出願された日本特許出願2000-163021の内容がそのまま含まれる。

5

#### 技術分野

本発明は、静電気保護回路が内蔵された半導体装置及びその製造方法に関する。

#### 背景

10 静電気破壊現象の主たる原因は、放電時にP/N接合において発熱し、それによりシリコンが溶解したり、金属電極の金属がシリコン基板中に入り込むコンタクトスパイクが生ずることにある。従来の静電気対策は、この点を考慮して実施されていた。

その後、デバイスの微細化に伴い、0.35 $\mu$ m以降の微細化プロセスでは、ソース/ドレイン拡散層を実効的に低抵抗化するために、拡散層上に高融点金属シリサイド層を形成するシリサイド技術が取り入れられたシリサイドトランジスタが開発された（特開平7-273197、特開平7-106570、特開平7-94595、特開平5-136086、特開平3-234062など）。

また、ゲート酸化膜の膜厚について考察すれば、電源電圧が5Vのデバイスでは135オングストロームであったが、電源電圧の低下とともに薄膜化する傾向にある。例えば、0.35 $\mu$ mプロセスでは3.3Vのデバイスでゲート酸化膜の膜厚は70オングストロームとなり、0.25 $\mu$ mプロセスでは2.5Vのデバイスでゲート酸化膜の膜厚は50オングストローム程度となり、静電気保護回路を設計する上で非常に大きな障害となっている。

ここで、入/出力端子から注入された静電気の電荷を電源端子を介して放電させる際には、入/出力端子と電源端子との間に介在する放電素子（MOSトランジスタなど）のジャンクション上にシリサイド層が存在する場合、非常に低い印加電圧でその放電素子が破壊することがわかっている。

25 剥離解析結果から考えられる破壊原因は、MOSトランジスタのゲート電極近傍にノッチ状の電流の流れた痕跡があったことから、そこに局所的に電流集中が発生したためと思われる。

局所的に電流集中が発生し易い理由として、シリサイド技術による拡散層の低抵抗化が挙げられる。N型MOSトランジスタの逆方向電圧印加の場合、パッドから注入された電荷は、ドレイン上のコン

タクトから拡散層に注入され、チャネルを引き起こす。そして、基板内に流れ出した電

の間に、ダイオードの順方向電流が流れるのに必要なアバランシェ降伏（電子なだれ）形成されるバイポーラトランジスタが作動し、電圧をクラン（グランド電位）と基板電位と

- 5 ここで、放電の様子を図32及び図33を参照して説明する。各される。  
0上のコンタクト12、ゲート14、ソース16及びソース16上のコン10、ドレイン1  
0Sトランジスタの平面図である。

拡散層上にシリサイド層を持たない場合には、拡散抵抗が大きいため、図32に示す  
イン上10のコンタクト12からゲート14に向けて、一点に集中することなく均一な放電が

- 10 る。  
これに対して、シリサイド層が拡散層上にある場合には、図33に示すようにホットスポット20  
が生じた際に、ドレイン10上の全てのコンタクト12からホットスポット20の一点に向けて電流  
が集中して流れる。従って、印加電圧が低い場合においても電流集中が発生し易く、破壊が生じてし  
まう。

さらに、ジャンクションエッジの状態についても、ジャンクション近傍でのシリサイド層の形成状  
態がフラットになり得ず、突起状のシリサイドが存在する。この部分には電流集中が起き易く、ホッ  
トスポットが発生し易い。

これらの2つの理由により、放電素子のジャンクション上にシリサイド層が存在する場合に、静電  
気（ESD）耐圧が低下すると考えられる。

- 20 そこで、放電素子上のシリサイド層を部分的に取り除くプロテクション工程を追加した技術が開発  
された（特開平2-271673など）。

ところが、プロテクション工程を採用する場合には、下記の2つの問題が生ずる。

- 一つは、ゲートとソース/ドレイン間のリークが発生する可能性があることである。プロテクショ  
ン工程では、ソース/ドレイン領域の形成後、全面に酸化膜を形成し、シリサイドを形成しない部分  
25 のみを残して酸化膜をエッチングしている。このエッチング時に、ゲートの側面に既に形成されてい  
た側壁絶縁膜も削れてしまうので、上記のリークが発生し易くなる。

他の一つは、トランジスタの高速動作が期待できないことである。ゲート電極及び拡散領域上に共  
にシリサイド層を形成するフル・シリサイド・プロセスでは、ゲート電極上にはシリサイド層を形成  
し、ドレインジャンクション近傍にはシリサイド層を形成しないといった構造は採用できない。従っ

て、ドレインジャンクション近傍にシリサイド層が形成されないようにすると、ゲート電極上にもシリサイド層が形成されない領域が生じ、シート抵抗が $K \Omega$ オーダとなるため、高速動作が期待できなくなる。

## 5 サマリー

そこで、本発明の目的は、低抵抗のシリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

本発明の他の目的は、十分な静電気保護対策を施しながら、高速動作を可能とする静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

本発明のさらに他の目的は、シリサイド層を部分的に除去するプロテクション工程を実施せずに静電気保護回路を構成できる半導体装置及びその製造方法を提供することにある。

本発明の一態様に係る半導体装置は、

半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記N型MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第1、第2の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域の近傍にて前記第1の拡散領域の深い位置側に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

を有することを特徴とする。

本発明の他の態様に係る半導体装置の製造方法は、

半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成す

る工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル及び前記N型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

- 5 前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルのいずれか一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域の近傍にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記第1の拡散領域の深い位置側に形成する工程と、

前記第1、第2の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、  
を有することを特徴とする。

本発明のさらに他の態様に係る半導体装置は、

半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテ

ラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体  
基板表面に形成されたシリサイド層と、

を有することを特徴とする。

本発明のさらに他の形態に係る半導体装置の製造方法は、

半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域と前記第1の拡散領域との間にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第1、第2の素子分離領域と前記第1、第3の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする。

#### 図面の簡単な説明

図1は、本発明の第1実施の形態に係る半導体装置のN型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

図2は、図1に示す半導体装置の等価回路図である。

図3は、図1及び図2に示すMOSトランジスタとツェナーダイオードの電圧-電流特性を示す特性図である。

図4は、図1に示す半導体装置の第1の製造工程を示す断面図である。

図5は、図1に示す半導体装置の第2の製造工程を示す断面図である。

図6は、図1に示す半導体装置の第3の製造工程を示す断面図である。

図7は、図1に示す半導体装置の第4の製造工程を示す断面図である。

図8は、図1に示す半導体装置の第5の製造工程を示す断面図である。

図9は、図1に示す半導体装置の第6の製造工程を示す断面図である。

図10は、図1に示す半導体装置の第7の製造工程を示す断面図である。

図11は、図1に示す半導体装置の第8の製造工程を示す断面図である。

図 1 2 は、図 1 に示す半導体装置の第 9 の製造工程を示す断面図である。

図 1 3 は、図 1 に示す半導体装置の第 1 0 の製造工程を示す断面図である。

図 1 4 は、図 1 に示す半導体装置の第 1 1 の製造工程を示す断面図である。

図 1 5 は、図 1 に示す半導体装置の第 1 2 の製造工程を示す断面図である。

5 図 1 6 は、図 1 に示す半導体装置の第 1 3 の製造工程を示す断面図である。

図 1 7 は、図 1 に示す半導体装置の第 1 4 の製造工程を示す断面図である。

図 1 8 は、図 1 に示す半導体装置の第 1 5 の製造工程を示す断面図である。

図 1 9 は、図 1 に示す半導体装置の第 1 6 の製造工程を示す断面図である。

図 2 0 は、図 1 に示す半導体装置の第 1 7 の製造工程を示す断面図である。

10 図 2 1 は、図 1 に示す半導体装置の第 1 8 の製造工程を示す断面図である。

図 2 2 は、図 4 から図 2 1 の工程を経て完成される半導体装置の断面図である。

図 2 3 は、本発明の第 2 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

図 2 4 は、本発明の第 3 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

図 2 5 A は、本発明の第 1 の実施の形態に従って形成された半導体装置の断面図、図 2 5 B は、その装置の深さ 0. 0 5  $\mu$  m における電流密度の位置依存性を示す特性図である。

図 2 6 A は、本発明の第 2 の実施の形態に従って形成された半導体装置の断面図、図 2 6 B は、その装置の深さ 0. 0 5  $\mu$  m における電流密度の位置依存性を示す特性図である。

20 図 2 7 A は、本発明の第 3 の実施の形態に従って形成された半導体装置の断面図、図 2 7 B は、その装置の深さ 0. 0 5  $\mu$  m における電流密度の位置依存性を示す特性図である。

図 2 8 は、本発明の第 4 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

25 図 2 9 は、本発明の第 5 の実施の形態に係る半導体装置の P 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

図 3 0 は、図 2 9 に示す P 型 MOS トランジスタ及びその静電気保護回路の等価回路図である。

図 3 1 は、本発明の第 6 の実施の形態に係る半導体装置の P 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

図 3 2 は、拡散層上にシリサイド層を有しない従来の場合の均一な放電の様子を模式的に示す模式

図である。

図 3 3 は、拡散層上にシリサイド層を有する従来の場合であって、ホットスポットに電流集中が生ずる放電の様子を模式的に示す模式図である。

## 5 詳細な説明

本発明の一実施の形態に係る半導体装置は、

半導体基板と、

前記半導体基板上に形成されて、第 1 の拡散領域を有する MOS トランジスタと、

前記 MOS トランジスタを前記半導体基板上の他の MOS トランジスタと素子分離する第 1 の素子

10 分離領域と、

前記 N 型 MOS トランジスタと前記第 1 の素子分離領域との間に形成された第 2 の素子分離領域と、

前記第 1、第 2 の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第 2 の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域と、

15 前記第 2 の素子分離領域の近傍にて前記第 1 の拡散領域の深い位置側に形成されて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域と、

を有することを特徴とする。

この実施形態によれば、MOS トランジスタの静電気保護回路として、ラテラルバイポーラトランジスタが放電素子として機能する。すなわち、MOS トランジスタの第 1 の拡散領域を介して注入された静電気の電荷は、ラテラルバイポーラトランジスタを介して放電される。この際、MOS トランジスタが放電経路として機能することを回避するために、ツェナーダイオードを設ける構成とした。このツェナーダイオードは、等価回路上、ラテラルバイポーラトランジスタのコレクタとベースとの間に挿入接続される。このツェナーダイオードの逆方向特性を利用して、コレクタとベースとの間の

20

25

ジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

このとき、MOS トランジスタ側には例えば第 1 の拡散領域中に高抵抗を設けることなどの対策が不要であるので、MOS トランジスタの高速動作が可能となる。

さらに、ツェナーダイオードは、半導体基板表面より比較的深い位置に形成されるので、第 1 の拡

散領域に注入される電荷は、その表面の低抵抗のシリサイド層の表面を流れることが少なくなる。

この理由により、第1の拡散領域の電荷注入位置と第2の素子分離領域との間でシリサイド層を部分的に除去するプロテクション工程を実施する必要はない。

上記実施形態においては、前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記MOSトランジスタのブレークダウン開始電圧より低く設定する値とすることができる。

こうすると、MOSトランジスタにてブレークダウンが生ずる前に、ツェナーダイオードにて電流を流して、ラテラルバイポーラトランジスタをオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオードにてブレークダウンを開始させて、ラテラルバイポーラトランジスタのコレクタとベースとの間のジャンクション耐圧を低下させることができる。

上記実施形態において、前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域とすることができる。

こうすると、ツェナーダイオードをトリガとしてNPNラテラルバイポーラトランジスタを上記の通り動作させることで、N型MOSトランジスタを保護することができる。

あるいは、前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域とすることができる。

こうすると、ツェナーダイオードをトリガとしてPNPラテラルバイポーラトランジスタを上記の通り動作させることで、P型MOSトランジスタを保護することができる。

上記実施形態において、前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートツェナーダイオードを形成する第4の拡散領域をさらに有することができる。

このようにショートツェナーダイオードが形成されることで、シリサイド層表面を通過する電荷はより少なくなり、シリサイド層を流れることで生ずる電流集中を防止できる。





の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルのいずれか一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

- 5 前記第2の素子分離領域の近傍にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記第1の拡散領域の深い位置側に形成する工程と、

前記第1、第2の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、  
を有することを特徴とする。

- 10 この製造方法により、本発明の上記実施形態に係る半導体装置を好適に製造できる。ここで、第1、第2の素子分離領域は同時に形成しても良い。また、第1、第2の拡散領域も同時に形成することができる。

この製造にあたって、上述した実施形態と同様に第3の拡散領域の不純物濃度を設定することができる。

- 15 また、この他の実施形態に係る製造方法においても、前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートツキダイオードを構成する第4の拡散領域を形成する工程をさらに有することができる。この場合、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3及び第4の拡散領域をそれぞれ形成することが好ましい。

- 20 静電気保護対策は半導体装置の付加的価値を高めるものであるもので、マスクを共用することで、静電気保護対策に伴う製造コストの上昇を抑えることができる。

- さらに、この他の実施形態に係る製造方法においても、前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてバイポーラトランジスタを構成することができる。この場合にも、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3、第4及び第5の拡散領域  
25 をそれぞれ形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

本発明のさらに他の実施形態に係る半導体装置は、

半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテ

5 ラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、  
前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体  
10 基板表面に形成されたシリサイド層と、

を有することを特徴とする。

この半導体装置が、上述の実施形態に係る半導体装置と相違する点は、第3の拡散領域が半導体基板の表面付近に形成されていることから、第1、第3の拡散領域の接合領域表面のシリサイド層を除去したことである。こうして、ラテラルバイポーラトランジスタを放電素子として利用すると共に、  
15 ジャンクションエッジでの電流集中を回避している。

本発明のさらに他の実施形態に係る半導体装置の製造方法は、

半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、  
20

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N  
25 型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域と前記第1の拡散領域との間にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第1、第2の素子分離領域と前記第1、第3の拡散領域の接合領域とを除いて、前記半導体基

板表面にシリサイド層を形成する工程と、

を有することを特徴とする。

この方法により、上述の他の実施形態に係る半導体装置を好適に製造することができる。

以下、本発明を適用した半導体装置の各種の実施の形態の具体例について、図面を参照して説明する。

## 5 (第1の実施の形態)

### (1) N型MOSトランジスタ及びその静電気保護回路の構成

図1は、N型MOSトランジスタ及びその静電気保護回路の断面構造を示している。図1において、シリコン基板100にはN型MOSトランジスタ110が形成されている。このN型MOSトランジスタ110は、N<sup>+</sup>ソース112と、N<sup>+</sup>ドレイン114（第1の拡散領域）と、その間のP型WELLのチャンネル116と、チャンネル116とゲート酸化膜117を介して対向するゲート118とを有する。ゲート118の側壁には側壁絶縁膜120が形成されている。また、ソース112、ドレイン114及びゲート118上にはシリサイド層130が形成され、N型MOSトランジスタ110はシリサイドトランジスタとして構成されている。また、図1では、ドレイン114に接続されるコンタクト115がパッド170に接続された状態が図示されている。

図1では、トランジスタ同士を分離する図示しない第1の素子分離領域の他に、第1の素子分離領域と同様にしてLOCOS法により形成される2つの第2の素子分離領域140、142が設けられている。2つの第2の素子分離領域140、142間にはN<sup>+</sup>領域154が形成され、このN<sup>+</sup>領域154と第2の素子分離領域142にて分離された領域に、半導体基板のP型ウェルに接続されたP<sup>+</sup>領域156が形成され、これらを第2の拡散領域と称する。

ドレイン114と第2の素子分離領域140との間には、シリコン基板100の深さ方向にて順に、例えば質量数31のリン（P）がイオンドーピングされたリン拡散領域P<sup>31+</sup>（第4の拡散領域）と、質量数11のボロン（B）がイオンドーピングされたボロン拡散領域B<sup>11+</sup>（第3の拡散領域）が形成されている。B<sup>11+</sup>拡散領域は、ドレイン114の深い位置にて、ドレイン114とP/N接合されている。

そして、ドレイン114と同じN<sup>+</sup>拡散領域に形成されるコレクタ152と、N<sup>+</sup>領域154にて形成されるエミッタ（以下、エミッタ154とも称する）と、P型ウェルに接続されたP<sup>+</sup>領域156にて形成されるベース（以下、ベース156とも称する）とにより、NPNラテラルバイポーラトランジスタ150が形成される。図1では、エミッタ154に接続されるコンタクト158と、ベース156に接続されるコンタクト159とが図示され、どちらも接地されている。

また、図1のN型拡散領域であるドレイン114（コレクタ152）と、P型拡散領域であるB<sup>11+</sup>拡散領域とのP/N接合にて、ツェナーダイオード160が形成される。

図1に示す半導体構造により構成される等価回路を図2に示す。図2には、N型MOSトランジスタ110、NPNラテラルバイポーラトランジスタ150、ツェナーダイオード160及びパッド170の他、N型MOSトランジスタ110と対で形成されるP型MOSトランジスタ180と、抵抗190とが示されている。図2に示す抵抗190は、図1のエミッタ154の下層のP型WELLにて構成される。

なお、N型MOSトランジスタ110はパッド170の電位をLOW（VSS）電位に設定するものであり、P型MOSトランジスタ180はパッド170の電位をHIGH（VDD）電位に設定するものである。

## （2）N型MOSトランジスタの静電気保護回路の動作説明

図1及び図2に示すN型MOSトランジスタ110の静電気保護回路では、NPNラテラルバイポーラトランジスタ150が放電素子として機能する。すなわち、パッド170より注入された静電気の電荷は、ドレイン114→NPNラテラルバイポーラトランジスタ150のコレクタ152→NPNラテラルバイポーラトランジスタ150のエミッタ154→コンタクト158→グランドと流れて放電される。

この際、図2に示すように、パッド170に対して、N型MOSトランジスタ110とNPNラテラルバイポーラトランジスタ150とが並列に接続されるので、N型MOSトランジスタ110に向かう放電経路を遮断する必要がある。

このために、図1、図2に示すように、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間に、ツェナーダイオード160を挿入接続し、コレクタ152とベース156との間のジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

図3は、MOSトランジスタ110と、ツェナーダイオード160をトリガとしたNPNラテラルバイポーラトランジスタ150との電圧－電流特性を示す特性図である。

図3に示すN型MOSトランジスタ110の電圧－電流特性は、ドレイン114からソース112に向けて逆方向に流れる時の電圧－電流特性を示している。ソース112からドレイン114に向けて正方向に流れる時には、印加電圧0.7V以上で電流が流れ始めるが、図3に示すようにその逆方向では、印加電圧V1（例えば10V程度）になるとブレイクダウン（アバランシェ）を生じて電流が急激に流れ始める。これを防止するため、NPNラテラルバイポーラトランジスタ150をバイポ

ーラ動作に従ってスナップバックさせ、電圧クランプ状態としている。

すなわち、ツェナーダイオード160は周知の通り、逆方向特性としてブレイクダウン開始電圧V2（例えば6V程度）で電流が流れ出す。このため、ツェナーダイオード160をトリガとしてNPNラテラルバイポーラトランジスタ150が動作し始め、スナップバック開始電圧V3を越えると、

5 電流の値に無関係に電圧がほぼ一定となる電圧クランプ状態となる。

この第1の実施の形態では、MOSトランジスタ110にてブレイクダウンが生ずる前（電圧V1に達する前）の電圧V2にて、ツェナーダイオード160にて電流を流して、NPNラテラルバイポーラトランジスタ150をオンさせて放電経路を確保する。この時、NPNラテラルバイポーラトランジスタ150のコレクター-エミッタ間電圧は、スナップバックにより5V程度の電圧に保持され、

10 放電が行われる。なお、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード160にてブレイクダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させている。

従って、図4に示すツェナーダイオード160のブレイクダウン開始電圧V2が、MOSトランジスタ110のブレイクダウン開始電圧V1よりも低ければ、上述の通り比較的高い静電気が印加された場合にも対処できる。

さらに、ツェナーダイオード160は、シリコン基板100表面より比較的深度にイオンドーピングされたB<sup>11</sup>拡散領域とドレイン114とのPN接合により形成されるので、ドレイン114に注入された電荷は、低抵抗のシリサイド層130表面を流れることが少なくなる。

さらには、図1に示す構造によれば、シリサイド層130とP<sup>31</sup>拡散領域とによりショートツキーダイオードが形成されるので、シリサイド層130表面を通過する電荷はより少なくなり、図1の位置Aに電流集中が生ずることを防止できる。

この2つの理由により、コンタクト115と第2の素子分離領域140との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要はない。

25 このように、プロテクション工程を必要としない本実施の形態では、P<sup>31</sup>拡散領域は、好ましくはドレイン114よりも低濃度のN型不純物のドーピングにより形成でき、B<sup>11</sup>拡散領域はシリコン基板100のP型WELLよりも高濃度のP型不純物をドーピングさせれば良い。より好ましくは、図4のV2<V3<V1の関係を確保できるように、B<sup>11</sup>拡散領域の不純物濃度が決定される。

### （3）製造プロセスの説明

次に、図1に示す半導体装置の製造プロセスについて、図4～図22を参照して説明する。なお、

図4～図22には、N型MOSトランジスタ110とその静電気保護回路及びP型MOSトランジスタ180を製造する工程が示されている。

まず、図4に示すように、シリコン基板100にLOCOS法によって、トランジスタ素子を分離する第1の素子分離領域300と、図1に示すN型MOSトランジスタ110のための2つの第2の素子分離領域140、142と、P型MOSトランジスタのための第2の素子分離領域240とをそれぞれ形成する。

次に、図5に示すように、一部の領域をレジスト302にて被覆してイオンドーピングを実施して、マスクされていない他の領域にN型WELLを形成する。

レジスト302の除去後に、図6に示す一部の領域をレジスト304にて被覆してインオドーピングを実施して、マスクされていない他の領域にP型WELLを形成する。

その後、レジスト304を除去し、図7に示すように、シリコン基板100の全面に酸化膜306を形成し、さらに図8に示すように酸化膜306上にポリシリコン膜308を形成する。そして、図9に示すように、ポリシリコン膜308上にレジスト310をフォトリソグラフィ工程によりパターン形成した後、レジスト310をマスクにしてポリシリコン膜308をエッチングして、ゲート118、218をそれぞれ形成する。

次に、図10に示すように、レジスト312をフォトリソグラフィ工程によりパターン形成した後、レジスト312とゲート118をマスクにしてN型不純物を低濃度で打ち込んで、N型拡散領域314を形成する。

レジスト312の除去後に、図11に示すように、レジスト316をフォトリソグラフィ工程によりパターン形成し、レジスト316とゲート218をマスクにしてP型不純物を低濃度で打ち込んで、P型拡散領域318を形成する。

レジスト316の除去後に、図12に示すように、ゲート118、218の側壁に側壁絶縁膜120を形成し、ゲート118、218及び側壁絶縁膜120をマスクにして酸化膜306をエッチングして、ゲート118、218及び側壁絶縁膜120の下層にゲート酸化膜117を残存させる。

次に、図13に示すように、レジスト320をフォトリソグラフィ工程によりパターン形成した後、レジスト320、ゲート118及び側壁絶縁膜120をマスクにして、N型不純物を高濃度で打ち込む。この工程の実施により、図1に示すソース112、ドレイン114（コレクタ152）、エミッタ154と、P型MOSトランジスタ200のPストップ拡散層として機能するN<sup>+</sup>拡散領域250とが、図13に示すように形成される。

レジスト 3 2 0 の除去後に、図 1 4 に示すように、レジスト 3 2 2 をフォトリソグラフィ工程によりパターン形成し、レジスト 3 2 2、ゲート 2 1 8 及び側壁絶縁膜 1 2 0 をマスクにして不純物を高濃度で打ち込む。この工程の実施により、図 1 に示すベース 1 5 6 と、P 型 MOS トランジスタ 2 0 0 のソース 2 1 2、ドレイン 2 1 4 とが形成される。

5 レジスト 3 2 2 の除去後に、図 1 5 に示すように、レジスト 3 2 4 をフォトリソグラフィ工程によりパターン形成し、それをマスクにして P 型及び N 型不純物を打ち込む。N 型不純物として質量数 3 1 のリン (P) と、P 型不純物として質量数 1 1 のボロン (B) とがそれぞれ打ち込まれることで、図 1 に示す  $P^{31+}$  拡散領域、 $B^{11+}$  拡散領域が形成される。本実施の形態では、2 種のイオンドーピングを実施するのに、レジスト 3 2 4 を共通マスクとして利用できる。

10 レジスト 3 2 4 の除去後に、シリコン基板 1 0 0 の表面及びゲート 1 1 8、2 1 8 にて露出しているシリコン上に高融点金属例えばチタン (Ti) を形成してアニーリングすることで、図 1 6 に示すようにチタンシリサイド層 1 3 0 が形成される。

次に、図 1 7 に示すようにシリコン基板 1 0 0 の全面に絶縁層 3 2 6 を形成し、さらに図 1 8 に示すように、絶縁層 3 2 6 上にレジスト 3 2 8 を形成した後、フォトリソグラフィ工程の実施によりパターン化してマスクを形成してエッチングすることで、コンタクトホール 3 3 0 を形成する。

レジスト 3 2 8 の除去後に、図 1 9 に示すように、コンタクトホール 3 3 0 に例えばタングステンを埋め込んでコンタクト 3 3 2 を形成する。

さらに、図 2 0 に示すように、絶縁層 3 2 6 及びコンタクト 3 3 2 の上にアルミニウムなどの金属層 3 3 4 を形成する。そして、金属層 3 3 4 上にレジスト 3 3 6 を形成した後、図 2 1 に示すように、  
20 レジスト 3 3 6 をフォトリソグラフィ工程の実施によりパターン化してマスクとし、金属層 3 3 4 をエッチングして金属配線層 3 3 8 A ~ 3 3 8 G を形成する。

この後、レジスト 3 3 6 を除去して金属配線層 3 3 8 A ~ 3 3 8 G に VDD、GND などを配線することで、図 2 2 の通り半導体装置が完成する。

ここで、図 1 5 に示すイオンドーピング工程は、図 1 3、図 1 4 のイオンドーピング工程に引き続  
25 いて実施できる点でスループットが向上するが、この方法に限定されるものではない。要は、図 1 5 の工程は、ソース・ドレイン形成後であって、シリサイド層形成工程前に実施されればよい。また、 $P^{31}$  拡散領域、 $B^{11}$  拡散領域は必ずしも連続して形成されるものに限らず、マスクを共用しないのであれば、その工程実施時期を異ならせても良い。また、マスクを共用しない場合には、図 1 に示す  $B^{11}$  拡散領域を、ドレイン 1 1 4 側のより狭い領域あるいはより広い領域に形成することもできる。また、



P<sup>31</sup>拡散領域、B<sup>11</sup>拡散領域の代わりに、他の不純物イオンをドーピングし拡散領域を形成してもよい。

(第2の実施の形態)

図23は、第2の実施の形態に係る半導体装置を示す断面図である。なお、図23に示す部材のうち図1と同一部材については同一符号を付してある。

- 5 図23に示すMOSトランジスタ110の静電気保護回路は、P<sup>31</sup>拡散領域(第4の拡散領域)の上下に、第1のB<sup>11</sup>拡散領域(第5の拡散領域)と第2のB<sup>11</sup>拡散領域(第3の拡散領域)とを設けた点のみが、図1に示す静電気保護回路と異なっている。

図23に示す静電気保護回路では、第1のB<sup>11</sup>拡散領域、P<sup>31</sup>拡散領域及び第2のB<sup>11</sup>拡散領域とでPNPバイポーラトランジスタが形成される。従って、第1のB<sup>11</sup>拡散領域と接する位置にシリサイド層130が形成されていたとしても、PNPバイポーラトランジスタには電流が流れないので、シリサイド130を電流が流れることを確実に防止できる。

よって、コンタクト115と第2の素子分離領域140との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要性は、図1の構造より低くなる。

(第3の実施の形態)

図24は、第3の実施の形態に係る半導体装置を示す断面図である。なお、図24に示す部材のうち図1と同一部材については同一符号を付してある。

図24に示すMOSトランジスタ110の静電気保護回路には、図1に示すP<sup>31</sup>拡散領域が形成されず、ドレイン114と共にツェナーダイオード160を形成するB<sup>11</sup>拡散領域(第3の拡散領域)のみが設けられている。また、図24では、第2の素子分離領域140の下層にPストップ拡散領域を形成してもよい。

この場合にも、図1の場合と同様にして、MOSトランジスタ110にてブレイクダウンが生ずる前に、ツェナーダイオード160にて電流を流して、NPNラテラルバイポーラトランジスタ150をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード160にてブレイクダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させることができる。

さらに、ツェナーダイオード160は、シリコン基板100表面より比較的深い位置にイオンドーピングされたB<sup>11</sup>拡散領域とドレイン114とのPN接合により形成されるので、ドレイン114に注入された電荷は、低抵抗のシリサイド層130表面を流れることが少なくなる。

ただし、図 2 4 に示す構造によれば、図 1 のようにシリサイド層 1 3 0 と P<sup>31</sup> 拡散領域とによりショートキークダイオードが形成されることはない。もし、図 2 4 に示す A 点での電流集中の危険を回避するのであれば、コンタクト 1 1 5 と第 2 の素子分離領域 1 4 0 との間でシリサイド層を部分的に除去するプロテクション工程を実施しても良い。

## 5 (特性評価)

次に、本発明の第 1 ～第 3 の実施の形態に従って製造された半導体装置の静電気保護回路についての評価を、図 2 5 ～図 2 7 を参照して説明する。

図 2 5 A、図 2 6 A 及び図 2 7 A はそれぞれ、第 1 ～第 3 の実施の形態に従って製造された半導体装置の断面図であり、その断面内の電流密度が示されている。また同図には、基板表面からの縦軸（深さ）距離と、パッド 1 7 0 からの横軸距離とが示されている。

図 2 5 A に示す P<sup>31</sup> 拡散領域は質量数 3 1 のリン（P）を 7 0 K e V で打ち込んで形成され、B<sup>11</sup> 拡散領域は質量数 1 1 のボロン（B）を 5 0 K e V で打ち込んで形成されている。

図 2 6 A に示す B F<sub>2</sub> 拡散領域は、図 2 3 の第 1 の B<sup>11</sup> 拡散領域に代わって形成されたもので、B F<sub>2</sub> を 4 0 K e V で打ち込んで形成されている。P<sup>31</sup> 拡散領域は質量数 3 1 のリン（P）を 1 0 0 K e V で打ち込んで形成され、B<sup>11</sup> 拡散領域は質量数 1 1 のボロン（B）を 7 0 K e V で打ち込んで形成されている。

図 2 7 A に示す B<sup>11</sup> 拡散領域は質量数 1 1 のボロン（B）を 4 0 K e V で打ち込んで形成されている。

図 2 5 B、図 2 6 B 及び図 2 7 B の特性図には、図 2 5 A、図 2 6 A 及び図 2 7 A の各半導体装置の表面から距離 0. 0 5 μ m の深さ位置での電流密度（mA / μ m<sup>2</sup>）が示されている。

図 2 5 B と図 2 7 B との比較から分かるように、パッド 1 7 0 からの横軸距離が 1. 8 μ m の位置での電流密度のピーク値は、第 1 の実施の形態の方が第 3 の実施の形態よりも約 1 / 5 に低減されていることが分かる。

図 2 6 B では、パッド 1 7 0 からの横軸距離が 1. 8 μ m の位置では P N P バイポーラトランジスタが形成されるため、図 2 5 B よりも電流密度は低く、その代わりにパッド 1 7 0 からの横軸距離が 1. 5 μ m の位置で電流密度がピークとなっている。

図 2 7 B に示す電流密度のピーク値も、第 2 の素子分離領域 1 4 0 及び B<sup>11</sup> 拡散領域のない従来技術と比較すれば十分低いものであるが、ここでの電流集中をより低減するために、上述した通りプロテクション工程を実施しても良い。

## (第 4 の実施の形態)

図 2 8 は、本発明の第 4 の実施の形態に係る半導体装置を示す断面図である。なお、図 2 8 に示す部材のうち図 1 と同一部材については同一符号を付してある。

図 2 8 に示す半導体装置ではプロテクション工程が実施されている。すなわち、コンタクト 1 1 5 と第 2 の素子分離領域 1 4 0 との間には、シリサイド層 1 3 0 が部分的に除去されている。さらに、  
5 図 2 8 に示す半導体装置では、コレクタ 1 5 2 と第 2 の素子分離領域 1 4 0 との間であって、シリコン基板 1 0 0 の表面側に、B<sup>11</sup>拡散領域が設けられている。そして、B<sup>11</sup>拡散領域とコレクタ 1 5 2 の表面には、シリサイド層 1 3 0 が形成されないようになっている。

この第 4 の実施の形態でも、MOS トランジスタ 1 1 0 の静電気保護回路として、B<sup>11</sup>拡散領域（第 3 の拡散領域）とドレイン 1 1 4 との P/N 接合にてツェナーダイオード 5 0 0 が形成される。また、  
10 図 1 の場合と同様に、コレクタ 1 5 2、エミッタ 1 5 4、ベース 1 5 6（図 2 8 では省略）及び P 型 WEL L にて、NPN ラテラルバイポーラトランジスタ 1 5 0 が形成される。なお、第 2 の素子分離領域 1 4 0 の下層には、図 2 4 と同様に P ストップ拡散領域 4 0 0 が形成されている。

この場合にも、図 1 の場合と同様にして、N 型 MOS トランジスタ 1 1 0 にてブレイクダウンが生ずる前に、ツェナーダイオード 5 0 0 にて電流を流して、NPN ラテラルバイポーラトランジスタ 1 5 0 をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード 5 0 0 にてブレイクダウンを開始させて、NPN ラテラルバイポーラトランジスタ 1 5 0 のコレクタ 1 5 2 とベース 1 5 6 との間のジャンクション耐圧を低下させることができる。

ここで、ツェナーダイオード 5 0 0 は、第 1 ～ 第 3 の実施の形態とは異なり、シリコン基板 1 0 0  
20 表面付近にイオンドーピングされた B<sup>11</sup>拡散領域とドレイン 1 1 4（コレクタ 1 5 2）との PN 接合により形成されている。

（第 5 の実施の形態）

図 2 9 は、本発明を P 型 MOS トランジスタの静電気保護回路に適用した第 5 実施例に係る半導体装置の断面図である。

図 2 9 において、図 1 に示した基板と同じシリコン基板 1 0 0 に形成された P 型 MOS トランジスタ 2 0 0 は、P<sup>+</sup>ソース 2 1 2 と、P<sup>+</sup>ドレイン 2 1 4 と、その間の N 型 WEL L のチャンネル 2 1 6 と、チャンネル 2 1 6 とゲート酸化膜 1 1 7 を介して対向するゲート 2 1 8 とを有する。ゲート 2 1 8 の側壁には側壁絶縁膜 1 2 0 が形成されている。また、ソース 2 1 2、ドレイン 2 1 4 及びゲート 2 1 8 上にはシリサイド層 1 3 0 が形成され、P 型 MOS トランジスタ 2 0 0 はシリサイドトランジスタと

して構成されている。

図 29 では、トランジスタ同士を分離する図示しない第 1 の素子分離領域の他に、第 1 の素子分離領域と同様にして LOCOS 法により形成される第 2 の素子分離領域 240 が設けられている。第 2 の素子分離領域 240 を介してソース 212 と分離された P<sup>+</sup>拡散領域 220 が形成されている。そして図 4 にて、P<sup>+</sup>拡散領域 220 に接続されるコンタクト 222 がパッド 260 に接続された状態が図示されている。

第 2 の素子分離領域 240 の下方には、抵抗として機能する B<sup>++</sup>拡散領域が設けられている。

図 30 は、図 29 に P 型 MOS トランジスタ 200 及び B<sup>++</sup>拡散領域を含む静電気保護回路の等価回路図を示している。

図 30 に示す NPN ラテラルバイポーラトランジスタ 600、ツェナーダイオード 610 及び抵抗 630 は、図 1 及び図 2 に示す NPN ラテラルバイポーラトランジスタ 150、ツェナーダイオード 160 及び抵抗 190 とそれぞれ同一機能を有する。また、図 30 では、P 型 MOS トランジスタ 200 は、B<sup>++</sup>拡散領域にて形成される抵抗 640 を介してパッド 260 に接続される。従って、この抵抗 640 の存在により、パッド 260 に静電気が印加されても、P 型 MOS トランジスタ 200 が放電経路となって破壊されることを防止できる。

図 30 ではさらに、VDD-VSS 間の保護回路として機能する NPN ラテラルバイポーラトランジスタ 650、ツェナーダイオード 660 及び抵抗 670 が設けられている。

このため、パッド 260 に印加された静電気は、上述した通りツェナーダイオード 610 のトリガによって NPN ラテラルバイポーラトランジスタ 600 を経由して VSS 側に一旦抜かれ、さらに NPN ラテラルバイポーラトランジスタ 650 を経由して VDD 側に抜くことが可能となる。

なお、図 30 に示す抵抗 640 は、P 型 MOS トランジスタ 200 のプルアップ動作に支障がないように大きな抵抗値とする必要はなく、しかも抵抗 640 の形成のために占有面積が大きくなることは高集積化の妨げになる。そこで、本実施の形態では、図 29 に示すように素子分離領域の下方に B<sup>++</sup>拡散領域を形成することで、抵抗 640 を形成している。また、この B<sup>++</sup>拡散領域は、図 1 に示す B<sup>++</sup>拡散領域（第 3 の拡散領域）と同一工程にて形成することができるため、製造工程が増えることもない。

また図 1 では、N 型 MOS トランジスタ 110 のドレイン 114 と、NPN ラテラルバイポーラトランジスタ 150 のコレクタ 152 を共通の拡散領域に形成したが、図 29 に示すようにこれらが各々分離される構造であっても機能的には変わらない。

(第6の実施の形態)

図31は、本発明をP型MOSトランジスタの静電気保護回路に適用した第6の実施の形態に係る半導体装置の断面図である。図31に示す部材のうち、図29に示すP型MOSトランジスタの部材と同一の部材については同一符号を付してある。

- 5 図31に示すMOSトランジスタ200の静電気保護回路が、図29に示すものと相違する点は、シリサイド層130と $B^{11}$ 拡散領域との間に、 $P^{11}$ 拡散領域を追加した点である。

こうすると、図29の静電気保護回路の機能を実現できることに加えて、図1に示すN型MOSトランジスタ110の静電気保護回路と同様に、シリサイド層130と $P^{11}$ 拡散領域とによりショートツキダイオードが形成されるので、シリサイド層130表面を通過する電荷はより少なくなり、図310  
1の位置Aに電流集中が生ずることを防止できる。

この理由により、コンタクト252と第2の素子分離領域240との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要はない。

なお、本発明は上述した各実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

15 上述した各実施形態ではいずれもP型半導体基板を使用した例であったが、N型半導体基板を使用しても同様に実施することができる。この場合、図1～図31に示すN型はP型に、P型はN型に置き換えて実施される。またこの場合、P型MOSトランジスタを保護するPNPラテラルバイポーラトランジスタと、そのトリガーとして機能するツェナーダイオードが形成されることになる。

さらに、トリプルウェル構造を有する半導体基板を用いれば、N型MOSトランジスタの保護回路20として機能するNPNラテラルバイポーラトランジスタと、P型MOSトランジスタの保護回路として機能するPNPラテラルバイポーラトランジスタとを、共に同一の半導体基板上に形成することも可能となる。

請求の範囲

1. 半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

5 前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記N型MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第1、第2の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

10 前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域の近傍にて前記第1の拡散領域の深い位置側に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

を有することを特徴とする半導体装置。

15 2. 請求項1において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレイクダウン開始電圧を、前記MOSトランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

3. 請求項1において、

20 前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置。

25 4. 請求項1において、

前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域とし

たことを特徴とする半導体装置。

5. 請求項1において、

前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショットキーダイオードを形成する第4の拡散領域をさらに有することを特徴とする半導体装置。

5 6. 請求項3において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域をさらに有し、前記第3、第4及び第5の拡散領域にてPNPバイポーラトランジスタを構成したことを特徴とする半導体装置。

7. 請求項4において、

10 前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域をさらに有し、前記第3、第4及び第5の拡散領域にてNPNバイポーラトランジスタを構成したことを特徴とする半導体装置。

8. 半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

15 前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル及び前記N型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

20 前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルのいずれか一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域の近傍にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記第1の拡散領域の深い位置側に形成する工程と、

25 前記第1、第2の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

9. 請求項8において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記

0986800.053001

MOSトランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置の製造方法。

10. 請求項8において、

前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートツーカーダイオードを構成する第4の拡散領域を形成する工程をさらに有することを特徴とする半導体装置の製造方法。

11. 請求項10において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3及び第4の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

10 12. 請求項8において、

前記第1、第2の拡散領域はN型拡散領域であり、この2つのN型拡散領域と前記半導体基板に形成された前記P型ウェルとでPNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置の製造方法。

13. 請求項12において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてPNPバイポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

20 14. 請求項12において、

前記パッドの電位をHIGH電位に設定するP型MOSトランジスタがさらに設けられ、前記P型MOSトランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第3の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

15. 請求項8において、

25 前記第1、第2の拡散領域はP型拡散領域であり、この2つのP型拡散領域と前記半導体基板に形成された前記N型ウェルとでPNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域としたことを特徴とする半導体装置の製造方法。



16. 請求項15において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてNPNバイポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

5 17. 請求項15において、

前記パッドの電位をLOW電位に設定するN型MOSトランジスタがさらに設けられ、前記N型MOSトランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第3の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

18. 請求項13において、

10 前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3、第4及び第5の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

19. 請求項16において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3、第4及び第5の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

20. 半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

20 前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

25 前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体基板表面に形成されたシリサイド層と、

を有することを特徴とする半導体装置。

21. 請求項20において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記

MOSトランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

22. 請求項21において、

前記第1, 第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されること  
5 とで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置。

23. 請求項21において、

10 前記第1, 第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることとで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域としたことを特徴とする半導体装置。

24. 半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

20 前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域と前記第1の拡散領域との間にて、前記MOSトランジスタの前記第1の  
25 拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第1, 第2の素子分離領域と前記第1, 第3の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

## 開示の要約

シリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置は、半導体基板上に、第1の拡散領域で素子分離された複数のシリサイドN型MOS

5 トランジスタが設けられる。このMOSトランジスタの静電気保護回路として、NPNラテラルバイポーラトランジスタと、ツェナーダイオードとが設けられる。NPNラテラルバイポーラトランジスタは、2つの第2の素子分離領域にて分離された領域に形成される第2の拡散領域と、P型WELLにて構成される。ツェナーダイオードは、MOSトランジスタの第1の拡散領域と第3の拡散領域(拡散領域)とのP/N接合で構成される。ツェナーダイオードのブレイクダウン開始電圧は、MOSト

10 ランジスタのブレイクダウン開始電圧より低く設定される。シリサイド層と第3の拡散領域との間に、シリサイド層と共にショートツキーダイオードを形成する第4の拡散領域がさらに設けられる。

09066800-053001  
T00E50-00899860